

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-036762
(43)Date of publication of application : 02.02.2000

(51)Int.Cl.

H03M 13/23

(21)Application number : 10-203590

(71)Applicant : NEC CORP

(22)Date of filing : 17.07.1998

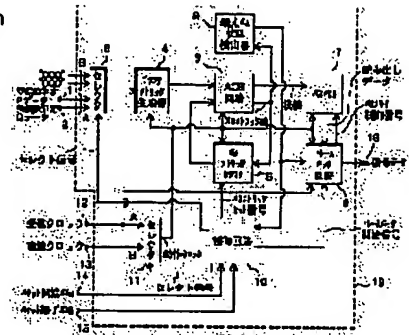
(72)Inventor : TODOROKI TOSHIYA

(54) VITERBI DECODING METHOD AND VITERBI DECODER

(57)Abstract:

PROBLEM TO BE SOLVED: To enable a viterbi decoder which decodes packet data to correctly decode the final part of last packet data, even when next packet data are inputted right after the last packet data.

SOLUTION: A selector 11 is provided, which switches a receive signal synchronized with receive packet data and a high-speed clock faster than the receive clock. While packet data are being received, the selector 11 supplies the receive clock to a branchmetric generator 4, an ACS circuit 5, a pathmetric register 6, a bus memory 7, and a trace-back circuit 8, and after the reception of the packet data has been completed, the high-speed clock is supplied to the branchmetric generator 4, ACS circuit 5, pathmetric register 6, and bus memory 7.



LEGAL STATUS

[Date of request for examination] 17.07.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3196835

[Date of registration] 08.06.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-36762

(P2000-36762A)

(43)公開日 平成12年2月2日(2000.2.2)

(51)Int.Cl.

識別記号

F I

テーマコード(参考)

H 0 3 M 13/23

H 0 3 M 13/12

5 J 0 6 5

審査請求 有 請求項の数 8 O L (全 12 頁)

(21)出願番号 特願平10-203590

(22)出願日 平成10年7月17日(1998.7.17)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 森 俊哉

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100070219

弁理士 若林 忠 (外4名)

Fターム(参考) 5J065 AA01 AB01 AC01 AD10 AE06

AF01 AC05 AH02 AH06 AH09

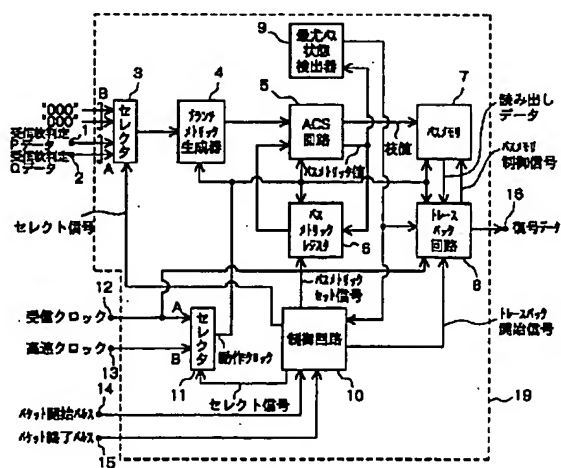
AH15 AH23

(54)【発明の名称】 ビタビ復号法及びビタビ復号器

(57)【要約】

【課題】 パケットデータを復号するビタビ復号器において、前のパケットデータに引き続いてすぐに次のパケットデータが入力する場合であっても、前のパケットデータの最後の部分を正しく復号できるようにする。

【解決手段】 受信パケットデータに同期した受信クロックとこの受信クロックより速い高速クロックとを切り替えるためのセレクト11を設け、セレクト11により、パケットデータの受信中は、ブランチメトリック生成器4、前ACS回路5、パスマトリックレジスタ6、パスマメモリ7及びトレースバック回路8に受信クロックを供給し、パケットデータの受信が終了した後は、ブランチメトリック生成器4、ACS回路5、パスマトリックレジスタ6及びパスマメモリ7に高速クロックを供給するようにする。



【特許請求の範囲】

【請求項 1】 受信データを入力し、前記受信データからブランチメトリックを生成し、前記ブランチメトリックに対して ACS 処理を実行して複数状態のバスメトリック値及び選択情報を生成し、前記選択情報を蓄積し、最大の前記バスメトリック値に基づいて最尤パスを決定し、前記決定された最尤パスに基づき、前記蓄積した選択情報を過去に向かってたどり復号データを出力するビタビ復号法において、

前記受信データがパケットデータであり、

前記パケットデータの受信中は、当該パケットデータに同期した第 1 の動作クロックに基づいて、前記ブランチメトリックの生成、前記 ACS 処理、前記最尤パスの決定及び前記復号データの出力を実行し、

前記パケットデータの受信が終了した時点で、前記第 1 の動作クロックより速い第 2 の動作クロックに切り替え、前記第 2 の動作クロックに基づいて、前記ブランチメトリックの生成、前記 ACS 処理及び前記最尤パスの決定を実行することを特徴とするビタビ復号法。

【請求項 2】 前記パケットデータの受信が終了した時点で、ターミナルデータを前記受信データの後に入力する請求項 1 に記載のビタビ復号法。

【請求項 3】 前記パケットデータの受信が終了した後、前記第 2 の動作クロックの 1 周期ごとにその時点での最尤パスが前記ターミナルデータに対応するものであるかを調べ、前記ターミナルデータに対応するものであるときに前記最尤パスに連なる系列の選択情報を過去に向かってたどり復号データとして出力する、請求項 2 に記載のビタビ復号法。

【請求項 4】 受信データとターミナルデータを切り替えて出力する第 1 のセレクトと、

前記第 1 のセレクトの出力が入力し前記入力データの確からしさを求めるブランチメトリック生成器と、生き残りパスの累積メトリックを格納するバスメトリックレジスタと、

シンボル時刻ごとに、前記ブランチメトリック生成器の出力と前記バスメトリックレジスタの出力に基づいて ACS 処理を実行し、複数状態のバスメトリック値及び選択情報とを出力する ACS 回路と、

前記複数状態のバスメトリック値から最大のバスメトリック値を有する最尤パスを検出する最尤パス状態検出器と、

シンボル時刻ごとに、前記複数状態の選択情報を格納するバスメモリと、

($g-f$) シンボル時刻ごとに、前記最尤パスに基づいて、 g シンボル時刻だけ前記バスメモリを過去に向かってたどっていき、最後に到達したビットから ($g-f$) ビットを復号データとして出力するトレースバック回路と、を有し、

前記受信データがパケットデータであり、

前記パケットデータの受信中は前記第 1 のセレクトによって前記パケットデータを選択するとともに、前記パケットデータに同期した第 1 の動作クロックによって前記ブランチメトリック生成器、前記 ACS 回路、前記バスメトリックレジスタ、前記バスメモリ及び前記トレースバック回路を駆動し、

前記パケットデータの受信が終了した時点で前記第 1 のセレクトが前記ターミナルデータ側に切り替えられ、

前記パケットデータの受信が終了した後は、前記第 1 の動作クロックより速い第 2 の動作クロックによって前記ブランチメトリック生成器、前記 ACS 回路、前記バスメトリックレジスタ及び前記バスメモリを駆動する、ビタビ復号器。

【請求項 5】 第 1 の動作クロックと第 2 の動作クロックとを切り替える第 2 のセレクトと、

パケット開始パルスの入力に応じて、前記第 1 のセレクトが前記受信データを選択し前記第 2 のセレクトが前記第 1 の動作クロックを選択し、パケット終了パルスの入力に応じて、前記第 1 のセレクトが前記ターミナルデータを選択し前記第 2 のセレクトが前記第 2 の動作クロックを選択するように、前記第 1 のセレクト及び前記第 2 のセレクトを制御する制御回路と、をさらに備える請求項 4 に記載のビタビ復号器。

【請求項 6】 前記バスメモリが、($f+g$) 時刻分の前記選択情報を格納するリングメモリである請求項 4 または 5 に記載のビタビ復号器。

【請求項 7】 前記パケットデータの受信が終了した後、前記最尤パス状態検出器が前記第 2 の動作クロックの 1 周期ごとにその時点での最尤パスが前記ターミナルデータに対応するものであるかを調べ、前記ターミナルデータに対応するものであるときに前記トレースバック回路が前記最尤パスに連なる系列の選択情報を過去に向かってたどり復号データとして出力する、請求項 4 乃至 6 いずれか 1 項に記載のビタビ復号器。

【請求項 8】 受信データとターミナルデータを切り替えて出力するセレクトと、前記セレクトの出力が入力し前記入力データの確からしさを求めるブランチメトリック生成器と、生き残りパスの累積メトリックを格納するバスメトリックレジスタと、シンボル時刻ごとに、前記ブランチメトリック生成器の出力と前記バスメトリックレジスタの出力に基づいて ACS 処理を実行し、複数状態のバスメトリック値及び選択情報とを出力する ACS 回路と、前記複数状態のバスメトリック値から最大のバスメトリック値を有する最尤パスを検出する最尤パス状態検出器と、シンボル時刻ごとに、前記複数状態の選択情報を格納するバスメモリと、($g-f$) シンボル時刻ごとに、前記最尤パスに基づいて、 g シンボル時刻だけ前記バスメモリを過去に向かってたどっていき、最後に到達したビットから ($g-f$) ビットを復号データとして出力するトレースバック回路と、を有するビタビ復号

器において、

前記受信データがパケットデータであり、

前記パケットデータの受信中は前記セクタによって前記パケットデータが選択され、前記パケットデータの受信終了に応じて前記セクタが前記ターミナルデータ側に切り替わるとともに前記ブランチメトリック生成器がターミナルデータに対応するブランチメトリックを設定し、

前記パスメモリが、 $(2f + g)$ 時刻分の前記選択情報を格納するリングメモリであるビタビ復号器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ビタビ復号法及びビタビ復号器に関する。

【0002】

【従来の技術】デジタル伝送における誤り訂正法として、畳み込み符号の最尤復号法の一例であるビタビ復号法（例えば、G. D. Forney Jr., "The Viterbi algorithm", Proceeding of IEEE, vol. 61, pp. 268-278, Mar. 1973を参照）があり、広く使用されている。ビタビ復号法による復号器をビタビ復号器という。

【0003】ところで、デジタル伝送の一形態として、送信すべきデータを所定のビット長（ワード長）のパケットに分解し、パケットを単位として伝送するパケット通信がある。パケット通信では、順番に送出された2つのパケットが受信側で受信されるときのパケット間の時間間隔は、一般に不定である。衛星通信や携帯電話のような移動体通信の分野においては、パケット通信の誤り訂正に、ビタビ復号器を使用している。以下、従来のビタビ復号器をパケット動作で使用した場合の処理について検討する。図9は、パケットデータ処理用の従来のビタビ復号器の構成を示すブロック図である。ここでは、ビタビ復号器に入力する受信軟判定Pデータ、受信軟判定Qデータは、それぞれ3ビットであるとする。

【0004】図9に示す従来のビタビ復号器59は、受信軟判定Pデータ及び受信軟判定Qデータをそれぞれ入力する入力端子1、2と、入力した受信軟判定Pデータ及び受信軟判定Qデータの組と“000”データの組とを切替えるセクタ3と、セクタ3の出力と各送信データを比べてセクタ3の出力の確からしさを求めるブランチメトリック生成器4と、生き残りパスの累積メトリックを格納するパスメトリックレジスタ6と、ブランチメトリック生成器4の出力とパスメトリックレジスタ6の出力に基づいてシンボル時刻ごとにn状態（nは2以上の整数）のパスメトリック値とn状態の選択情報（枝値）とを出力するACS回路5と、シンボル時刻ごとにACS回路5が出力するn状態の選択情報を格納するパスメモリ7と、シンボル時刻ごとにACS回路5が出力するn状態のパスメトリック値の中から最大のパスメトリックを持つ状態番号を求める最尤パス状態検出器

9と、パスメモリ7内のデータに対してトレースバック処理を行い、得られた結果を復号データとして出力端子16から出力するトレースバック回路48と、このビタビ復号器59全体の制御を行う制御回路50と、を備えている。セクタ3に入力する“000”データは、パケットデータが最後まで入力した後に、そのパケットデータを復号しつつ、ビタビ復号器59内の各回路をパケットデータが入力する前の状態に戻すためデータ（ターミナルデータ）であり、ここでは3ビットの軟判定データがビタビ復号器59に入力することになっているから、3ビットの“0”（2進表示）からなるデータである。

【0005】ここでACS回路5は、シンボル時刻ごとに、トレリス線図にしたがって、ブランチメトリック生成器4の出力とパスメトリックレジスタ6の出力とを加算(Add)、比較(Compare)、選択(Select)することにより、比較して選択したn状態のパスメトリック値とn状態の選択情報とを出力する。また、トレースバック回路48は、パスメモリ制御信号をパスメモリ7に対して出力しパスメモリ7からデータを読み出すことにより、

(g-f) シンボル時刻ごとに、最尤パス状態検出器9の出力の状態番号からgシンボル時刻分だけパスメモリ7を過去に向かってたどっていき、最後に到達したビットから(g-f) ビットを復号データとして出力する。

【0006】さらにこのビタビ復号器59には、受信クロックを入力してブランチメトリック生成器4、ACS回路5、パスメトリックレジスタ6、パスメモリ7及びトレースバック回路48に供給するための入力端子52と、パケットデータ開始パルスを入力して制御回路50に供給する入力端子14と、パケットデータ終了パルスを入力し制御回路50に供給する入力端子15と、が設けられている。制御回路50は、セクタ3に対してセレクト信号を出力し、パスメトリックレジスタ6にパスメトリックセット信号を出力し、トレースバック回路48にトレースバック開始信号を出力するものである。さらに制御回路50は、パケットデータ開始パルスによって、パスメトリックレジスタ6の状態番号“0”に高いパスメトリックを与え、他の状態番号には、すべて同じ低いパスメトリック（例えば、0）を与えてビタビ復号を実行させ、パケットデータ終了パルスが入力されると、セクタ3の出力を“000”データの組に切り替え、ビタビ復号を実行しながら、最尤パス状態検出器9の出力が状態番号“0”になると、ブランチメトリック生成器4、ACS回路5、パスメトリックレジスタ6及び最尤パス状態検出器9の動作を停止させ、状態番号“0”の最尤パスに連なる系列からトレースバック回路48にトレースバックを実行させるように構成されている。

【0007】次に、この従来のパケットデータ処理用のビタビ復号器59の動作について説明する。ここでは、説明を分かりやすくするために、符号化率 $R = 1/2$ 、

拘束長 $K=3$ の場合について考える。

【0008】まず、このビタビ復号器と対になって使用される送信側の符号器について説明する。送信側では、図2に示すような3段のシフトレジスタ20と排他的論理和(E \times O \times R)ゲート21、22で構成される畳み込み符号器23により符号化される。シンボル時刻ごとに入力データ系列が入力端子24からシフトレジスタ20に入力し、シフトレジスタ20の指定された各段の出力が排他的論理和ゲート21、22で論理処理され、出力端子25、26から、それぞれ、Pデータ、Qデータとして出力される。シフトレジスタ20は、リセット信号を与えることによってリセットされるように構成されている。

【0009】図3に示す d 個のパケットデータ i_1, i_2, \dots, i_d を畳み込み符号化する場合、一般的に、データ i_1 が入力する前に畳み込み符号器23をリセットする。つまり、シフトレジスタ20の各段の中身を“0”にする。また、最後のパケットデータ i_d がシフトレジスタ20に入力した後に、(拘束長-1)個の“0”データを入力する。ここでは、拘束長が3なので、2個の“0”データを入力する。図3では、畳み込み符号器23のPデータ及びQデータ出力を、それぞれ、 $P_1, P_2, \dots, P_d, P_{d+1}, P_{d+2}$ 及び $Q_1, Q_2, \dots, Q_d, Q_{d+1}, Q_{d+2}$ と表している。

【0010】畳み込み符号器23の出力、すなわちPデータ及びQデータは、伝送され、図9に示すビタビ復号器59に入力する。その際、Pデータ及びQデータが伝送路で生じた雑音よりどのように変わっているかをビタビ復号器59に伝えるために、軟判定表現されている。図4は、“0”、“1”に対してそれぞれ3ビットで軟判定表現を行ったものを示している。

【0011】次に、図9に示す従来のビタビ復号器59の動作について説明する。

【0012】図5は、畳み込み符号器23をトレリス表現した図である。図示左側の $\{0, 0\}, \{0, 1\}, \{1, 0\}$ 及び $\{1, 1\}$ は、 $\{a, b\}$ すなわち畳み込み符号器23のシフトレジスタ20の初段及び2段目の内容を示したものである。ここで a, b は、それぞれ、シフトレジスタ20の初段と2段目の各1ビットの内容を表わす変数である。また、 $\{0, 0\}, \{0, 1\}, \{1, 0\}$ 及び $\{1, 1\}$ の右側にある矢印の横の値は、 $(a \times 2 + b)$ を計算した値であり、今後、この値を状態番号と呼ぶ。

【0013】図5に示すトレリス図を簡単に説明すると、状態番号0の時、畳み込み符号器23に次に入力されるデータが“0”の場合には、状態番号0に遷移し、Pデータ及びQデータの出力値として“00”(状態番号0から状態番号0へ遷移する矢印の上にした値)を出力する。状態番号が0で、入力されるデータが“1”の場合には、状態番号1に遷移し、Pデータ及びQデー

タの出力値として“11”を出力する。他の状態番号の場合においても、畳み込み符号器23に入力するデータに応じて遷移先が決まる。それらの時のPデータ及びQデータの出力値が、遷移を表わす矢印に付記されている。ビタビ復号器59は、このトレリス表現された図にしたがって、復号処理を実行する。

【0014】ビタビ復号器59においてパケット開始パルスが制御回路50に入力すると、制御回路50は、パスメトリックセット信号をパスメトリックレジスタ6に出力する。パスメトリックレジスタ6は、この信号により、状態番号0のレジスタに高いメトリック(例えば、64)を与え、状態番号1、2、3のレジスタには、メトリック0を与える。このとき制御回路50は、セクタ3が受信軟判定PデータQ及びデータの組を選択して出力するように、セクタ3に対するセレクト信号を設定している。

【0015】まず、 P_i, Q_i に対する軟判定データが、入力端子1、2よりセクタ3を通してブランチメトリック生成器4に入力すると、ブランチメトリック生成器4は、(軟判定 P_i , 軟判定 Q_i)に対して、その時の送信データの組(P, Q)が(0, 0), (1, 0), (0, 1), (1, 1)であったとした場合の確からしさ、すなわちブランチメトリックを各々算出する。(軟判定 P_i , 軟判定 Q_i)に対して、送信データの組が(0, 0)であるときのブランチメトリックを λ_0 、送信データの組が(1, 0)の時のブランチメトリックを λ_1 、送信データの組が(0, 1)の時のブランチメトリックを λ_2 、送信データの組が(1, 1)の時のブランチメトリックを λ_3 とする。ブランチメトリック生成器4は、この $\lambda_0, \lambda_1, \lambda_2, \lambda_3$ をACS回路5に出力する。このとき、図6に示すように、時刻 m_0 での各状態番号0~4のパスメトリック値を、それぞれ、 $\Gamma_0(m_0), \Gamma_1(m_0), \Gamma_2(m_0), \Gamma_3(m_0)$ とする。実際には、メトリックセットしたばかりなので、 $\Gamma_0(m_0)=64, \Gamma_1(m_0)=0, \Gamma_2(m_0)=0, \Gamma_3(m_0)=0$ となっている。

【0016】パスメトリックレジスタ6は、この $\Gamma_0(m_0), \Gamma_1(m_0), \Gamma_2(m_0), \Gamma_3(m_0)$ をACS回路5に出力し、ACS回路5は、図6に示すトレリス表現に基づいて、演算を実行する。以下、この演算について説明する。

【0017】時刻 m_1 において状態番号0に合流している遷移は、状態番号0と状態番号2からのものである。状態番号0からの遷移のときの畳み込み符号器からの出力データは“00”なのでそのときのブランチメトリックは λ_0 となり、状態番号2からの遷移のときの畳み込み符号器からの出力データは“11”なのでそのときのブランチメトリックは λ_3 となり、時刻 m_0 での状態番号0と状態番号2のパスメトリック値がそれぞれ $\Gamma_0(m_0), \Gamma_2(m_0)$ なので、それぞれ、 $\Gamma_0(m_0) + \lambda_0, \Gamma_2(m_0) + \lambda_3$ の演算を行い、大きい方を時刻 m_1 の状態

番号0のバスメトリック値 $\Gamma_0(m_i)$ として、バスメトリックレジスタ6に格納する。同時に、選択された方の枝値(図6で実線で示した方が選ばれると“0”、破線で示した方が選ばれると“1”である)を、時刻 m_i の状態番号0の枝値 $S_0(m_i)$ として、バスメモリ7に格納する。以下、時刻 m_i のバスメトリック値 $\Gamma_1(m_i)$, $\Gamma_2(m_i)$, $\Gamma_3(m_i)$ 、枝値 $S_1(m_i)$, $S_2(m_i)$, $S_3(m_i)$ を同様にして求め、それぞれ、バスメトリックレジスタ6、バスメモリ7に格納する。ここでバスメモリ7は、 $(f+g)$ 時刻分の枝値情報が格納できるメモリ容量を持つものとする。また、ACS回路5は、時刻 m_i の求めたバスメトリック値 $\Gamma_0(m_i)$, $\Gamma_1(m_i)$, $\Gamma_2(m_i)$, $\Gamma_3(m_i)$ をバスメトリックレジスタ6に出力すると同時に、最尤バス状態検出器9にも出力する。これで、時刻 m_i で一連の処理が終了する。以後、この一連の処理のことをACS処理と呼ぶ。

【0018】次の軟判定 P_i , Q_i データが入力すると、上記のACS処理を繰り返し実行する。時刻 m_i での処理が終わると、制御回路50はトレースバック回路48及び最尤バス状態検出器9に対し、以下に述べるトレースバック処理を行うための命令を与える。その結果、最尤バス状態検出器9は、最尤バスメトリック値 $\Gamma_0(m_i)$, $\Gamma_1(m_i)$, $\Gamma_2(m_i)$, $\Gamma_3(m_i)$ の中から、最大のバスメトリック値を持つ状態番号をトレースバック回路48に出力する。時刻 m_i において最大バスメトリック値をもつ状態番号が“2”であるとする、トレースバック回路48は、時刻 m_i において図7の実線で示す最大バスメトリックをもつ状態番号2に連なるパスを、バスメモリ7の内容を読み出してさかのぼっていく。トレースバック回路48は、状態番号2に合流するパスが状態番号1及び状態番号3のどちらであるかを、バスメモリ7から、時刻 m_i の状態番号2に格納されているデータを読み出すことにより調べ、状態番号1からであることを知る。以下、同様の操作を繰り返し、時刻 m_0 までパスをさかのぼり、最後にバスメモリ7より読み出したデータから $(g-f)$ 個分のデータ(時刻 m_0 から時刻 m_{g-f} のデータ)を復号データとして、出力端子16から出力する。以下において、この処理をトレースバック処理と呼ぶ。受信クロックに同期してトレースバック処理を実行しているときも、ACS処理は受信クロックに同期して実行されている。バスメモリ7は、ACS処理時の書き込み、トレースバック処理時の読み出しを同時に行えるものとする。バスメモリ7は、図8に示すようにリング構造になっていて、 $(g+f)$ 時刻分のメモリ容量になっているので、ACS処理によって必要なデータに上書きされることはない。このあと、 $(g-f)$ 時刻分のACS処理を実行すると、トレースバック処理を行い復号データを出力する。

【0019】最後の軟判定 P_{g-f} , Q_{g-f} データが入力端子1, 2より入力し、ACS処理が終了すると、パケッ

ト終了パルスが制御回路50に入力する。このパルスの入力により、制御回路50は、“000”データ(ターミナルデータ)の組がセレクト3から出力されるようにセレクト3に対するセレクト信号を設定する。その後、受信クロックに同期して、“000”データの組を、少なくとも $(f+g)$ 時刻分入力し続けなければならない。この間、出力端子16からパケット最後のデータ i を得るために、前述のACS処理、トレースバック処理を繰り返し実行することになる。“000”データの組と説明したが、これは、受信軟判定データとして3ビットのものを使用しているからであって、受信軟判定データが例えば2ビットであれば、“00”データの組を少なくとも $(f+g)$ 時刻分入力し続けることになる。

【0020】“000”データの組を入力し続けなければならないことについては、例えば、Qualcomm(クアルコム)社製の市販のビタビ復号器LSI(品名Q1900)のデータブックを参照すると、「パケットデータ終了後、103個の“000”データを入力しなければならない。」と言う記述がある。

【0021】

【発明が解決しようとする課題】上述した従来のビタビ復号器には、パケットデータの復号を行わせたときに、パケットデータ終了後に、必ず、 $(g+f)$ 時刻分の“000”データ(ターミナルデータ)を入力しなければならないので、次に入力するパケットデータは $(g+f)$ 時刻分待たされることになり、パケット伝送効率が悪くなるという問題点がある。また、 $(g+f)$ 時刻分待たずに次のパケットデータを入力すると、前のパケットデータの最後の部分のデータが正しく復号されない。

【0022】本発明の目的は、前のパケットデータに引き続いてすぐに次のパケットデータがビタビ復号器に入力する場合であっても、前のパケットデータの最後の部分を正しく復号できるビタビ復号法及びビタビ復号器を提供することにある。

【0023】

【課題を解決するための手段】本発明のビタビ復号法は、受信データを入力し、受信データからブランチメトリックを生成し、ブランチメトリックに対してACS処理を実行して複数状態のバスメトリック値及び選択情報を生成し、選択情報を蓄積し、最大のバスメトリック値に基づいて最尤バスを決定し、決定された最尤バスに基づき、蓄積した選択情報を過去に向かってたどり復号データを出力するビタビ復号法において、受信データがパケットデータであり、パケットデータの受信中は、当該パケットデータに同期した第1の動作クロックに基づいて、ブランチメトリックの生成、ACS処理、最尤バスの決定及び復号データの出力を実行し、パケットデータの受信が終了した時点で、第1の動作クロックより速い第2の動作クロックに切り替え、第2の動作クロックに基づいて、ブランチメトリックの生成、ACS処理及び

最尤バスの決定を実行することを特徴とする。

【0024】本発明の第1のビタビ復号器は、受信データとターミナルデータを切り替えて出力する第1のセクタと、第1のセクタの出力が入力し入力データの確からしさを求めるブランチメトリック生成器と、生き残りバスの累積メトリックを格納するバスメトリックレジスタと、シンボル時刻ごとに、ブランチメトリック生成器の出力とバスメトリックレジスタの出力に基づいてACS処理を実行し、複数状態のバスメトリック値及び選択情報とを出力するACS回路と、複数状態のバスメトリック値から最大のバスメトリック値を有する最尤バスを検出する最尤バス状態検出器と、シンボル時刻ごとに、複数状態の選択情報を格納するバスメモリと、(g-f)シンボル時刻ごとに、最尤バスに基づいて、gシンボル時刻だけバスメモリを過去に向かってたどっていき、最後に到達したビットから(g-f)ビットを復号データとして出力するトレースバック回路と、を有し、受信データがパケットデータであり、パケットデータの受信中は第1のセクタによってパケットデータを選択するとともに、パケットデータに同期した第1の動作クロックによってブランチメトリック生成器、ACS回路、バスメトリックレジスタ、バスメモリ及びトレースバック回路を駆動し、パケットデータの受信が終了した時点で第1のセクタがターミナルデータ側に切り替えられ、パケットデータの受信が終了した後は、第1の動作クロックより速い第2の動作クロックによってブランチメトリック生成器、ACS回路、バスメトリックレジスタ及びバスメモリを駆動する。

【0025】本発明の第2のビタビ復号器は、受信データとターミナルデータを切り替えて出力するセクタと、セクタの出力が入力し入力データの確からしさを求めるブランチメトリック生成器と、生き残りバスの累積メトリックを格納するバスメトリックレジスタと、シンボル時刻ごとに、ブランチメトリック生成器の出力とバスメトリックレジスタの出力に基づいてACS処理を実行し、複数状態のバスメトリック値及び選択情報とを出力するACS回路と、複数状態のバスメトリック値から最大のバスメトリック値を有する最尤バスを検出する最尤バス状態検出器と、シンボル時刻ごとに、複数状態の選択情報を格納するバスメモリと、(g-f)シンボル時刻ごとに、最尤バスに基づいて、gシンボル時刻だけバスメモリを過去に向かってたどっていき、最後に到達したビットから(g-f)ビットを復号データとして出力するトレースバック回路と、を有するビタビ復号器において、受信データがパケットデータであり、パケットデータの受信中はセクタによってパケットデータが選択され、パケットデータの受信終了に応じてセクタがターミナルデータ側に切り替わるともにブランチメトリック生成器がターミナルデータに対応するブランチメトリックを設定し、バスメモリが、(2f+g)時刻分

の選択情報を格納するリングメモリである。

【0026】すなわち本発明では、パケットデータの最後の部分をスムーズにあるいは迅速に処理し、すぐに次のパケットデータがビタビ復号器に入力しても前のパケットデータの最後の部分を正しく復号できるようにするため、パケットデータの入力が終わった時点でビタビ復号器の動作クロックを速くし、これによってターミナルデータ分の処理時間を短縮する。本発明では、動作クロックを速くする代わりに、リングメモリとして構成されるバスメモリの容量を大きくし、それとともに、ターミナルデータ(上述の従来の技術における“000”データなど)に対するブランチメトリックは予め分かっているからブランチメトリック生成器がそのブランチメトリックを予め設定するようにしてもよい。

【0027】

【発明の実施の形態】次に、本発明の好ましい実施の形態について、図面を参照して説明する。図1は、本発明の実施の一形態のビタビ復号器の構成を示すブロック図である。ここでは、ビタビ復号器に入力する受信軟判定Pデータ、受信軟判定Qデータは、それぞれ3ビットであるとする。

【0028】このビタビ復号器19は、受信軟判定Pデータ及び受信軟判定Qデータをそれぞれ入力する入力端子1、2と、入力した受信軟判定Pデータ及び受信軟判定Qデータの組と“000”データ(ターミナルデータの組とを切替える第1のセクタ3と、第1のセクタ3の出力と各送信データを比べて第1のセクタ3の出力の確からしさを求めるブランチメトリック生成器4と、生き残りバスの累積メトリックを格納するバスメトリックレジスタ6と、ブランチメトリック生成器4の出力とバスメトリックレジスタ6の出力に基づいてシンボル時刻ごとにn状態のバスメトリック値とn状態の選択情報(枝値)とを出力するACS回路5と、シンボル時刻ごとにACS回路5が出力するn状態の選択情報を格納するバスメモリ7と、シンボル時刻ごとにACS回路5が出力するn状態のバスメトリック値の中から最大のバスメトリックを持つ状態番号を求める最尤バス状態検出器9と、バスメモリ7内のデータに対してトレースバック処理を行い、得られた結果を復号データとして出力端子16から出力するトレースバック回路8と、このビタビ復号器19全体の制御を行う制御回路10と、を備えている。

【0029】ここでACS回路5は、シンボル時刻ごとに、トレリス線図にしたがって、ブランチメトリック生成器4の出力とバスメトリックレジスタ6の出力とを加算、比較、選択することにより、比較して選択したn状態のバスメトリック値とn状態の選択情報とを出力する。また、トレースバック回路8は、バスメモリ制御信号をバスメモリ7に対して出力しバスメモリ7からデータを読み出すことにより、(g-f)シンボル時刻ごと

に、最尤パス状態検出器9の出力の状態番号からgシンボル時刻分だけパスメモリ7を過去に向かってたどっていき、最後に到達したビットから(g-f)ビットを復号データとして出力する。ここでパスメモリ7は、(g+f)時刻分の状態情報を格納するだけの容量を有するリングメモリである。

【0030】以上述べた構成は、制御回路10の構成及び機能が若干異なり、またトレースバック回路8に後述するように受信クロックと動作クロックの両方が入力すること以外は、図9に示した従来のビタビ復号器59と同一である。

【0031】さらにこのビタビ復号器19には、受信クロックが入力する入力端子12と、受信クロックより速い高速クロックが入力する入力端子13と、入力端子12に入力する受信クロックと入力端子13に入力する高速クロックとを切り替えて動作クロックとして出力する第2のセレクト11と、パケットデータ開始パルスを入力して制御回路10に供給する入力端子14と、パケットデータ終了パルスを入力し制御回路10に供給する入力端子15と、が設けられている。このビタビ復号器19では、第2のセレクト11から出力される動作クロックがブランチメトリック生成器4、ACS回路5、パスメトリックレジスタ6、パスメモリ7及びトレースバック回路8に供給されている。入力端子12に入力した受信クロックも、トレースバック回路8に直接供給されている。なお、受信クロックが第1の動作クロックに対応し、高速クロックが第2の動作クロックに対応する。

【0032】制御回路10は、第1のセレクト3に対して第1のセレクト信号を出力し、第2のセレクト11に対して第2のセレクト信号を出力し、パスメトリックレジスタ6にパスメトリックセット信号を出力し、トレースバック回路8にトレースバック開始信号を出力するものである。通常時には、第2のセレクト11が受信クロックを選択するように、第2のセレクト信号を出力する。制御回路10は、パケットデータ開始パルスによって、第1のセレクト3が入力端子11、12側を選択するように第1のセレクト信号を出力し、パスメトリックレジスタ6の状態番号“0”に高いパスメトリックを与え、他の状態番号には、すべて同じ低いパスメトリック(例えば、0)を与えてビタビ復号を実行させるように構成されている。さらに制御回路10は、パケットデータ終了パルスが入力されると、第1のセレクト3が“000”データの組を選択し、第2のセレクト11が高速パルスを選択するように、第1のセレクト信号及び第2のセレクト信号を設定し、ビタビ復号を実行しながら、最尤パス状態検出器9の出力が状態番号“0”になると、ブランチメトリック生成器4、ACS回路5、パスメトリックレジスタ6及び最尤パス状態検出器9の動作を停止させ、状態番号“0”の最尤パスに連なる系列からトレースバック回路8にトレースバックを実行させる

ように構成されている。

【0033】このように制御回路10が設定されていることにより、このビタビ復号器19では、パケット終了パルスの入力とともに、第1のセレクト3の出力が、各3ビットの受信軟判定Pデータ及び受信軟判定Qデータの組からターミナルデータである“000”データの組に切り替わり、第2のセレクト11の出力(動作クロック)が受信クロックから高速クロックに切り替わり、その結果、ブランチメトリック生成器4、ACS回路5、パスメトリックレジスタ6、最尤パス状態検出器9及びパスメモリ7は、高速クロックで動作することになる。最尤パス状態検出器9は、高速クロックの1周期ごとに、現在、最尤パスがどの状態番号にいるか調べる。制御回路10は、最尤パスが状態番号“0”になると、ブランチメトリック生成器4、ACS回路5、パスメトリックレジスタ6及び最尤パス状態検出器9の動作を停止させ、トレースバック回路8を使って、状態番号“0”の最尤パスに連なる系列をパスメモリ7格納されたデータから読み出して、復号データとして出力させる。

【0034】以上の高速クロック動作により、このビタビ復号器19では、パケットデータ終了後のビタビ復号処理を迅速に行うことができ、すぐに次のパケットデータがビタビ復号器に入力する場合であっても、前のパケットデータの最後の部分を正しく復号できるようになる。

【0035】以下、このビタビ復号器19の動作について、詳しく説明する。

【0036】ここでは、説明を分かりやすくするために、符号化率 $R=1/2$ 、拘束長 $K=3$ の場合について考える。このビタビ復号器19と対になって使用される送信側の符号器は、上述の従来の技術欄で図2を用いて説明したものと同一のものである。従来の技術で説明したのと同様に、図3に示すようなd個のパケットデータ i_1, i_2, \dots, i_d を畳み込み符号化するものとする。このようなパケットデータの符号化を行う場合、一般的に、最初のパケットデータ i_1 が入力する前に畳み込み符号器23をリセットし、また、最後のパケットデータ i_d がシフトレジスタ20に入力した後に、(拘束長-1)個の“0”データを入力する。ここでは、拘束長が3なので、2個の“0”データを入力する。畳み込み符号器23のPデータ及びQデータ出力を、それぞれ、 $P_1, P_2, \dots, P_d, P_{d+1}, P_{d+2}$ 及び $Q_1, Q_2, \dots, Q_d, Q_{d+1}, Q_{d+2}$ とする。送信側の畳み込み符号器23の出力、すなわちPデータ及びQデータが伝送され、従来の技術欄で述べたのと同様に軟判定表現され、ビタビ復号器9に入力する。図4は、“0”、“1”に対してそれぞれ3ビットで軟判定表現を行ったものを示している。また、送信側の畳み込み符号器23のトレリス表現は、従来の技術欄で説明した図5に示す通りのものであり、ビタビ復号器19は、図5に示すトレリス表現に

したがって復号処理を行っている。

【0037】 ビタビ復号器19においてパケット開始パルスが制御回路10に入力すると、制御回路10は、パスメトリックセット信号をパスメトリックレジスタ6に出力する。パスメトリックレジスタ6は、この信号により、状態番号0のレジスタに高いメトリック（例えば、64）を与え、状態番号1、2、3のレジスタには、メトリック0を与える。このとき、制御回路10は、第1のセレクトの出力が受信軟判定P、Qデータの組となり、第2のセレクト11の出力が、受信軟判定P、Qデータに同期したクロックである受信クロックとなるように、第1のセレクト信号及び第2のセレクト信号を設定している。したがって、ブランチメトリック生成器4、ACS回路5、パスメトリックレジスタ6、パスメモリ7及びトレースバック回路8は、受信軟判定P、Qデータに同期した受信クロックを動作クロックとして作動することになる。

【0038】 この状態でまず、 P_i 、 Q_i に対する軟判定データが、入力端子1、4よりセレクト3を通過してブランチメトリック生成器4に入力すると、ブランチメトリック生成器4は、（軟判定 P_i 、軟判定 Q_i ）に対して、その時の送信データの組（P、Q）が（0、0）、（1、0）、（0、1）、（1、1）であったとした場合の確からしさ、すなわちブランチメトリックを各々算出する。（軟判定 P_i 、軟判定 Q_i ）に対して、送信データの組が（0、0）であるときのブランチメトリックを λ_0 、送信データの組が（1、0）の時のブランチメトリックを λ_1 、送信データの組が（0、1）の時のブランチメトリックを λ_2 、送信データの組が（1、1）の時のブランチメトリックを λ_3 とする。ブランチメトリック生成器4は、この λ_0 、 λ_1 、 λ_2 、 λ_3 をACS回路5に出力する。このとき、図6に示すように、時刻 m_0 での各状態番号0～4のパスメトリック値を、それぞれ、 $\Gamma_0(m_0)$ 、 $\Gamma_1(m_0)$ 、 $\Gamma_2(m_0)$ 、 $\Gamma_3(m_0)$ とする。実際には、メトリックセットしたばかりなので、 $\Gamma_0(m_0)=64$ 、 $\Gamma_1(m_0)=0$ 、 $\Gamma_2(m_0)=0$ 、 $\Gamma_3(m_0)=0$ となっている。

【0039】 パスメトリックレジスタ6は、この $\Gamma_0(m_0)$ 、 $\Gamma_1(m_0)$ 、 $\Gamma_2(m_0)$ 、 $\Gamma_3(m_0)$ をACS回路5に出力し、ACS回路5は、図6に示すトレリス表現に基づいて、演算を実行する。この処理は、従来の技術欄においてACS処理として説明したものと同一である。次の軟判定 P_i 、 Q_i データが入力すると、同様にACS処理を実行する。以下同様にして、ACS処理を繰り返し実行し、時刻 m_i での処理が終わると、制御回路10は、トレースバック回路8及び最尤パス状態検出器9に対し、トレースバック処理を行うための命令を与える。なお、通常のビタビ復号器におけるトレースバック処理のことを通常のトレースバック処理ともいう。

【0040】 トレースバック処理を行うための命令が与

えられると、最尤パス状態検出器9は、最尤パスメトリック値 $\Gamma_0(m_i)$ 、 $\Gamma_1(m_i)$ 、 $\Gamma_2(m_i)$ 、 $\Gamma_3(m_i)$ の中から、最大のパスメトリック値を持つ状態番号をトレースバック回路8に出力する。時刻 m_i において最大パスメトリック値をもつ状態番号が“2”であるとする、トレースバック回路8は、時刻 m_i において図7の実線で示す最大パスメトリックをもつ状態番号2に連なるパスを、パスメモリ7の内容を読み出してさかのぼっていく。トレースバック回路8は、状態番号2に合流するパスが状態番号1及び状態番号3のどちらであるかを、パスメモリ7から、時刻 m_i の状態番号2に格納されているデータを読み出すことにより調べ、状態番号1からであることを知る。以下、同様の操作を繰り返し、時刻 m_0 までパスをさかのぼり、最後にパスメモリ7より読み出したデータから（ $g-f$ ）個分のデータ（時刻 m_0 から時刻 m_{i-f} のデータ）を復号データとして、出力端子16から出力する。このとき、第2のセレクト11は受信クロックを選択しているから、このトレースバック処理は、受信クロックに同期して実行されることになる。また、トレースバック処理を実行しているときも、上述したACS処理は受信クロックに同期して実行されている。パスメモリ7は、ACS処理時の書き込み及びトレースバック処理時の読み出しを同時に行えるものであり、また、上述したように（ $g+f$ ）時刻分のメモリ容量になっているので、ACS処理によって必要なデータに上書きされることはない。このあと、（ $g-f$ ）時刻分のACS処理を実行することにより、トレースバック処理を行い復号データを出力する。

【0041】 ここまでは、上述の従来の技術欄で述べた従来のビタビ復号器と同じ動作である。

【0042】 最後の軟判定 P_{i-2} 、 Q_{i-2} データが入力端子1、2より入力し、ACS処理が終了すると、パケット終了パルスが入力端子15を介して制御回路10に入力する。このパルスの入力により、制御回路10は、第1のセレクト3から“000”データの組が出力し、第2のセレクト11が、入力端子13から入力する高速クロックを動作クロックとして出力するように、第1のセレクト信号及び第2のセレクト信号を設定する。そして制御回路10は、まず、最尤パス状態検出器9の出力が状態番号0かどうかを調べる。もし状態番号0であれば、以下に説明する高速トレースバック処理を実行する。

【0043】 高速トレースバック処理では、第2のセレクト11から動作クロックとして出力されている高速クロックを用い、時刻 m_{i-2} の状態番号0から、パケット終了パルスが入力する直前に最後に通常のトレースバック処理を行って復号データとして出力した時刻の前まで、パスメモリ7より格納されているデータを読み出しながらトレースバック動作を行い、トレースバックで得たすべてのデータを復号データとして、受信クロックに

同期して、出力端子16より出力する。

【0044】ここでもし、最尤パス状態検出器9の出力が状態番号0でなければ、ACS処理を1時刻分実行する。このとき、ブランチメトリック生成器4に入力される軟判定P、Qデータの組は“000”である。ACS処理を実行したあと、制御回路10は、最尤パス状態検出器9の出力が状態番号0かどうかを再度調べる。もし、状態番号0であれば、上述した高速トレースバック処理を実行し、状態番号0でなければ、再びACS処理を1時刻分実行する。最大パスメトリックの状態番号が0と判定されるまで、この動作を繰り返し実行する。制御回路10は、最尤パス状態検出器9の出力が状態番号0を示せば、高速トレースバック処理を実行して、すべての復号データを得る。

【0045】なお、通常のトレースバック処理を実行している途中でパケット終了パルスが制御回路10に入力した場合、一旦、通常のトレースバック処理を停止させ、動作クロックが高速クロックに切り替わったら、再び通常のトレースバック処理を行い速やかに処理を終了させる。その後、制御回路10は、最尤パス状態検出器9の出力が状態番号0かどうかを調べる処理を実行する。

【0046】以上説明したようにこのビタビ復号器19では、制御回路10にパケット終了信号が入力すると、第1のセクタ3の出力が各3ビットの受信軟判定Pデータ及び3ビット受信軟判定Qデータの組から、“000”データの組に切り替わり、第2のセクタ11の出力が受信クロックから高速クロックに切り替わり、その結果、ブランチメトリック生成器4、ACS回路5、パスメトリックレジスタ6、パスメモリ及び最尤パス状態検出器9が、受信クロックより速い高速クロックで動作することになる。最尤パス状態検出器9は、高速クロックの1周期ごとに、現在、最尤パスがどの状態番号にいるか調べる。そして、最尤パスが状態番号“0”になると、制御回路10が、ブランチメトリック生成器4、ACS回路5、パスメトリックレジスタ6及び最尤パス状態検出器9の動作を停止させ、トレースバック回路8を使用して高速トレースバック処理を実行させる。それにより、状態番号“0”の最尤パスに連なる系列が、パスメモリ7に格納されたデータから読み出され、復号データとして出力される。この高速クロック動作により、パケットデータ終了後のビタビ復号処理が迅速に行われる。

【0047】したがって、このビタビ復号器19は、例えば衛星通信や携帯電話のような移動体通信の分野においてパケット通信用の誤り訂正に使用する場合に、パケットデータの最後の部分をスムーズに復号でき、すぐに次のパケットデータが入力する場合であっても、前のパケットデータの最後の部分を正しく復号することができる。

【0048】次に、本発明の他の実施の形態について説明する。

【0049】上述の実施の形態のビタビ復号器19では、パケットデータ終了パルスが入力したときには動作クロックを受信クロックから高速クロックに切り替えていたが、受信クロックのまま処理しつつ、前のパケットデータに引き続いて次のパケットデータがすぐに入力する場合であっても前のパケットデータの最後の部分を正しく復号できるようにすることも可能である。受信クロックのまま処理しようとする場合には、“000”データに対するブランチメトリックは既知であるため、図9に示す従来のビタビ復号器において、ブランチメトリック生成器4が予め λ_0 、 λ_1 、 λ_2 、 λ_3 を設定するようにするとともに、パスメモリ7のメモリ容量を $(f+g)$ 時刻分から $(2f+g)$ 時刻分に増加すればよい。ACS回路5、パスメトリックレジスタ6、最大パス状態検出器9については、図9に示すビタビ復号器59におけるものと同じ構成とする。このようにすることで、ビタビ復号器の動作クロックを受信クロックとしたままで、パケットデータの伝送レートが大きい場合であっても正確にビタビ復号を行うことが可能になる。

【0050】

【発明の効果】以上説明したように本発明は、(1)パケットデータの入力が終わった時点でビタビ復号器の動作クロックを速くし、これによってターミナルデータ分の処理時間を短縮する、あるいは、(2)リングメモリとして構成されるパスメモリの容量を大きくし、それとともに、ターミナルデータに対するブランチメトリックは予め分かっているからブランチメトリック生成器がそのブランチメトリックを予め設定するようにすることにより、パケットデータの最後の部分をスムーズにあるいは迅速に処理できるようになり、すぐに次のパケットデータがビタビ復号器に入力しても前のパケットデータの最後の部分を正しく復号できるようになるという効果がある。

【図面の簡単な説明】

【図1】本発明の実施の一形態のビタビ復号器の構成を示すブロック図である。

【図2】畳み込み符号器の構成を示すブロック図である。

【図3】送信データ系列と畳み込み符号化後のデータ系列を示す図である。

【図4】“0”、“1”データに対する3ビットの軟判定データを表した図である。

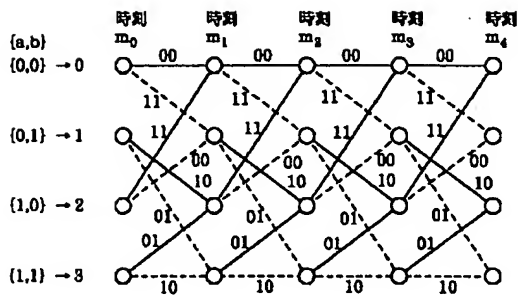
【図5】図2の畳み込み符号器のトレリス表現を示す図である。

【図6】ACS回路の構成を説明する図である。

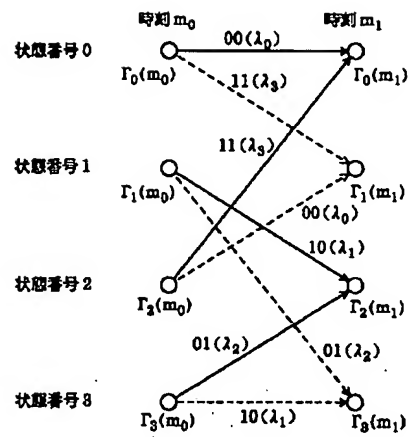
【図7】トレースバック処理を説明するトレリス表現図である。

【図8】パスメモリの構成を示す図である。

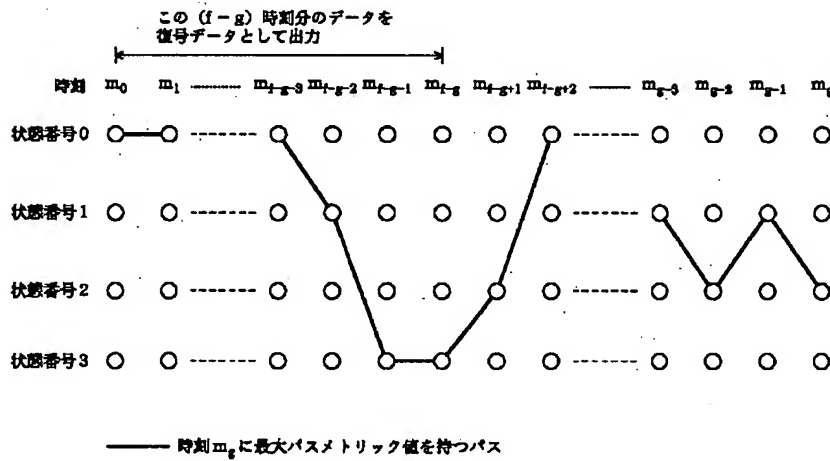
【図5】



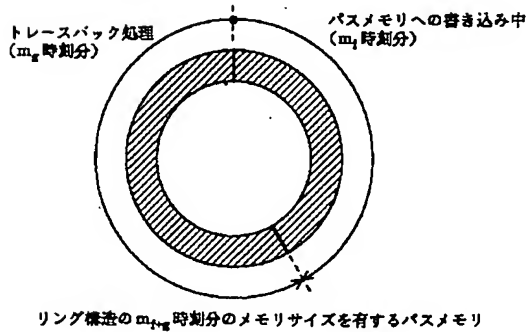
【図6】



【図7】



【図8】



【図9】

